

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. September 2003 (04.09.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/072288 A1

(51) Internationale Patentklassifikation⁷: B23K 1/00,
1/20, 35/02, 35/26, 35/30, H01L 21/603

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HOSSEINI, Khalil
[DE/DE]; Stockau 7b, 95466 Weidenberg (DE). RIEDL,
Edmund [DE/DE]; Uhlandweg 3, 93083 Obertraubling
(DE).

(21) Internationales Aktenzeichen: PCT/DE03/00603

(74) Anwalt: SCHWEIGER, Martin; Karl-Theodor-Strasse
69, 80803 München (DE).

(22) Internationales Anmeldedatum:
26. Februar 2003 (26.02.2003)

(81) Bestimmungsstaaten (national): BR, CN, JP, KR, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

(30) Angaben zur Priorität:
102 08 635.4 28. Februar 2002 (28.02.2002) DE

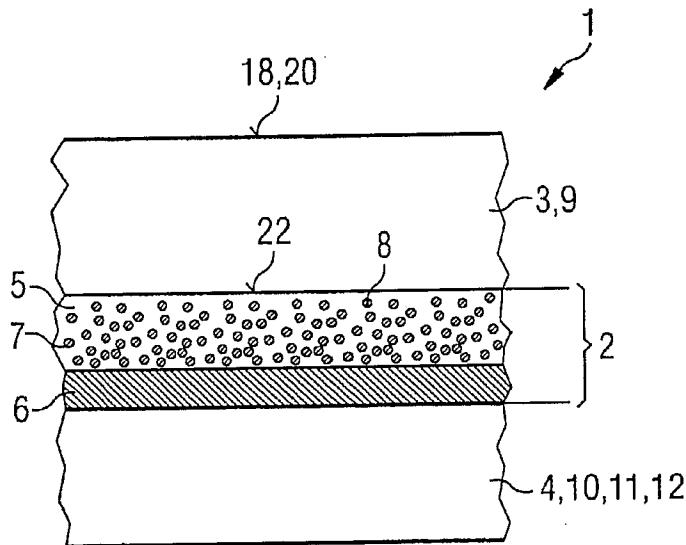
Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: CONNECTION COMPRISING A DIFFUSION SOLDERED JUNCTION, AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: VERBINDUNG MIT EINER DIFFUSIONSLOTSTELLE UND VERFAHREN ZU IHRER HERSTELLUNG

WO 03/072288 A1



(57) Abstract: The invention relates to a connection (1) comprising a diffusion soldered junction (2) between two parts (3, 4). According to the invention, the diffusion soldered junction (2) has intermetallic phases of two soldering constituents (5, 6) and, in addition to the intermetallic phases, nanoparticles (8) of an additional material are spatially distributed inside the diffusion area of the diffusion soldered junction (2). The invention also relates to a method for producing a diffusion soldered junction (2) between two parts (3, 4) and for producing an electronic power component having a number of parts (3, 4) with diffusion soldered junctions (2).

[Fortsetzung auf der nächsten Seite]



- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("*Guidance Notes on Codes and Abbreviations*") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft eine Verbindung (1) mit einer Diffusionslotstelle (2) zwischen zwei Teilen (3, 4), wobei die Diffusionslotstelle (2) intermetallische Phasen von zwei Lotkomponenten (5, 6) aufweist und in ihrem Diffusionsbereich zusätzlich zu den intermetallischen Phasen Nanopartikel (8) eines Zusatzwerkstoffes räumlich verteilt angeordnet sind. Ferner betrifft die Erfindung ein Verfahren zur Herstellung einer Diffusionslotstelle (2) zwischen zwei Teilen (3,4) und zur Herstellung eines elektronischen Leistungsbauenteils, das mehrere Teile (3,4) mit Diffusionslotstellen (2) aufweist.

Beschreibung

VERBINDUNG MIT EINER DIFFUSIONSLOTSTELLE UND VERFAHREN ZU IHRER HERSTELLUNG

- 5 Die Erfindung betrifft eine Diffusionslotstelle zwischen zwei über die Diffusionslotstelle verbundenen Teile sowie ein Verfahren zur Herstellung der Diffusionslotstelle gemäß der Gattung der unabhängigen Ansprüche.
- 10 Beim Diffusionslöten entstehen spröde intermetallische Phasen, die zwar eine hochtemperaturfeste Diffusionslotstelle gewährleisten, jedoch beim Verbinden von Teilen mit unterschiedlichen thermischen Ausdehnungskoeffizienten Probleme in der Weise verursachen, daß Mikrorisse durch die Diffusionslotstelle wandern. Im äußersten Fall kann es zu Delaminationen der zu verbindenden Teile kommen. Somit wird der Vorteil der höheren Temperaturbeständigkeit von Diffusionslotstellenverbindungen zwischen zwei Teilen durch erhöhte Empfindlichkeit gegenüber mechanischem Stress und insbesondere gegenüber Temperaturwechselbeanspruchungen teilweise kompensiert. Dieses macht sich besonders dann nachteilig bemerkbar, wenn Steuerungs- und Leistungsmodule für die Automobiltechnik mit Diffusionslotstellen gefertigt werden.
- 15
- 20
- 25 Aufgabe der Erfindung ist es, eine Diffusionslotstelle anzugeben, die Mikrorissbildungungen unter thermomechanischer Belastung behindert und eine größere Zuverlässigkeit und Lebensdauer der Diffusionslotstelle ermöglicht.
- 30 Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

35 Erfindungsgemäß wird eine Diffusionslotstelle zwischen zwei über die Diffusionslotstelle verbundene Teile geschaffen, wobei die Diffusionslotstelle intermetallische Phasen von mindestens zwei Lotkomponenten aufweist. Die erste der beiden

Lotkomponenten weist einen Schmelzpunkt unterhalb des Schmelzpunktes der intermetallischen Phasen und die zweite der Lotkomponenten weist einen Schmelzpunkt oberhalb der intermetallischen Phasen auf. Zusätzlich weist die Diffusionslotstelle in ihrem Diffusionsbereich neben den intermetallischen Phasen Nanopartikel eines Zusatzwerkstoffes auf, der räumlich verteilt angeordnet ist.

Die Anwesenheit von Nanopartikeln in einem Diffusionsbereich der Diffusionslotstelle, d.h. in dem Bereich, in dem sich vorzugsweise intermetallische Phasen gebildet haben, hat den Vorteil, daß Mikrorisse, die von den intermetallischen Phasen bei thermischer Belastung der Diffusionslotstelle ausgehen, durch die Nanopartikel am Durchwandern der gesamten Lotstelle gehindert werden.

Somit wird eine Delamination zwischen den zwei Teilen unterbunden und zusätzlich gewährleistet, daß die Diffusionslotstelle eine größere Lebensdauer aufweist und eine höhere Stressbelastung übersteht. Somit werden die Auswirkungen der unterschiedlichen thermischen Ausdehnungskoeffizienten der beiden zu verbindenden Teile und der metallischen Phasen gemildert und teilweise unterbunden.

In einer derartigen Diffusionslotstelle kann ein Bereich der Diffusionslotstelle außerhalb des Diffusionsbereichs mit Material der zweiten Lotkomponente frei von Nanopartikeln sein. Da die zweite Lotkomponente einen Schmelzpunkt aufweist, der oberhalb der intermetallischen Phasen liegt, kann es beim Herstellen der Diffusionslotstelle dazu kommen, daß ein Teil der zweiten Lotkomponente weder angelöst noch erschmolzen wird. In diesem Bereich der Diffusionslotstelle findet dann auch keine Diffusion statt und ebenso keine Verteilung von Nanopartikeln, die sich nur im schmelzflüssigen Diffusionsbereich der Diffusionslotstelle während der Herstellung der Diffusionslotstelle verteilen können. Somit ergibt sich ein charakteristisches Merkmal für Lotverbindungen, die mit dem

erfindungsgemäßen Verfahren hergestellt wurden, indem ein Schliffbild der Diffusionslotstelle einen von Nanopartikeln freien Bereich aufweist.

5 Durch die erfindungsgemäße Diffusionslotstelle wird ein thermischer Spannungsausgleich zwischen dem ersten der Teile und dem zweiten der Teile bereitgestellt, wobei der erste der zwei Teile einen geringeren thermischen Ausdehnungskoeffizient als der zweite der zwei Teile aufweist. Dieser Spannungs-
10 ausgleich erfolgt teilweise über die Nanopartikel, die eine negative Wirkung der intermetallischen Phase, nämlich das Versprüden der Diffusionslotstelle teilweise auffangen. Der thermische Spannungsausgleich basiert teilweise auch darauf, daß Nanopartikel eingesetzt werden, deren thermischer Ausdehnungskoeffizient zwischen dem thermischen Ausdehnungskoeffizienten der ersten Lotkomponente und dem thermischen Ausdehnungskoeffizienten der zweiten Lotkomponente liegt. Das bedeutet, daß der thermische Ausdehnungskoeffizient der Nanopartikel des Zusatzwerkstoffes größer als der thermische Ausdehnungskoeffizient des ersten Teils und kleiner als der thermische Ausdehnungskoeffizient des zweiten Teils ist.
15
20

Eine derartige Diffusionslotstelle kann als ein erstes Teil einen Halbleiterchip aufweisen und als ein zweites Teil einen metallischen Systemträger mit einer Halbleiterchipinsel als Sourcekontakt für den Halbleiterchip und mit Flachleitern, welche die Chipinsel umgeben und als Drainkontakt und/oder als Gatekontakt für den Halbleiterchip dienen. Insbesondere bei diesen Halbleiterchips, die aufgrund ihrer hohen Verlustwärmeentwicklung als Leistungsbauten eine intensive Kühlung benötigen, ist es von Vorteil, daß ein großflächiger metallischer Kontakt über eine Diffusionslotstelle sowohl auf der aktiven Oberseite des Halbleiterchips mit seinem gemeinsamen Drainkontakt für mehrere 100.000 parallel geschaltete MOS-
30 Transistoren, als auch eine großflächige Kontaktierung über eine Diffusionslotstelle zu der metallischen Halbleiterchi-
35 pinsel eines Systemträgers. Sowohl der großflächige Drainkon-

takt als auch der großflächige Sourcekontakt zu der Halbleiterchipinsel sorgen für eine effektive Abfuhr der Verlustwärme eines derartigen Leistungsbauteils.

5 Eine erste Lotkomponente mit geringerem Schmelzpunkt als die intermetallischen Phasen der Diffusionslotstelle kann Zinn oder eine Zinnlegierung aufweisen. Dieses Zinn neigt dazu, mit verschiedenen Edelmetallen wie Gold oder Silber und auch Kupfer intermetallische Phasen zu bilden, die eine hochtemperaturfeste Diffusionslotstelle schaffen. Die zweite Lotkomponente kann somit Silber, Gold, Kupfer oder Legierungen derselben aufweisen. Die Materialien der Lotkomponenten werden in Form von Beschichtungen auf die beiden zu verbindenden Teile aufgebracht und auf diesen Beschichtungen werden Nanopartikel der Diffusionslotstelle angeordnet. Somit weist mindestens eine der Lotkomponenten eine Beschichtung mit Nanopartikeln der Diffusionslotstelle auf.

Die Nanopartikel des Zusatzwerkstoffes können auf Beschichtungen auf der Oberseite eines Halbleiterwafers angeordnet sein. Diese Anordnung auf einem Halbleiterwafer hat den Vorteil, daß bereits bei einem Temperschritt für die metallischen Leiterbahnen und für die Kontaktflächen einer Halbleiterwaferoberfläche die auf die Oberseite aufgebrachten Nanopartikel in die Beschichtung eindringen können. Darüber hinaus hat das Aufbringen der Nanopartikel auf einem Halbleiterwafer den Vorteil, daß gleichzeitig für viele Halbleiterchips das Aufbringen der Nanopartikel mit einem einzigen Verfahrensschritt erfolgen kann.

Anstelle des Halbleiterchips kann auch die zum Systemträger gehörende Chipinsel eine Beschichtung mit Nanopartikeln der Diffusionslotstelle aufweisen. Diese Nanopartikel werden bereits bei der Herstellung eines Systemträgers schichtförmig beispielsweise auf der Chipinsel angeordnet und können dann beim Zusammenbringen einer entsprechenden Beschichtung auf

der Rückseite des Halbleiterchips mit der Chipinsel in dem Diffusionsbereich der Diffusionslotstelle verteilt werden.

Die Nanopartikel des Zusatzstoffes selbst können eine amorphe Substanz aufweisen. Amorphe Substanzen haben gegenüber den zu verbindenden Teilen wie beispielsweise einem Halbleiterchip und einem metallischen Systemträger den Vorteil, daß ihr thermischer Ausdehnungskoeffizient je nach Zusammensetzung der amorphen Substanzen an die zu verbindenden Teile angepaßt werden kann.

Es können die Nanopartikel des Zusatzstoffes Silikate aufweisen. Derartige Silikate basieren auf Siliziumdioxyd in amorpher Form und weisen einen thermischen Ausdehnungskoeffizienten auf, der etwas größer als der thermische Ausdehnungskoeffizient von reinem Silizium, wie es für Halbleiterchips eingesetzt wird, aufweist.

Die Nanopartikel des Zusatzwerkstoffes können Borsilikate oder Phosphorsilikate aufweisen, die gegenüber reinem Siliziumdioxyd als Silikat bzw. als amorphes Glas einen etwas größeren thermischen Ausdehnungskoeffizienten aufweisen, so daß durch geeignete Mischungen ein optimal zugeschnittener thermischer Ausdehnungskoeffizient für die Nanopartikel des Zusatzwerkstoffes erreicht werden kann.

Vorteilhaft ist es, die erfindungsgemäße Diffusionslotstelle für elektrische Verbindungen von Komponenten eines Leistungsmoduls einzusetzen. Wie oben bereits erwähnt, sind bei Leistungsbauten und Leistungsmodulen erhebliche Verlustleistungen abzuführen. Durch die Diffusionslotstelle wird eine intensive thermische Ankopplung der Verlustwärme erzeugende Halbleiter des Leistungsmoduls an den entsprechenden Schaltungsträger eines Leistungsmoduls hergestellt, insbesondere dann, wenn der Schaltungsträger aus einem Metall besteht. Aufgrund der guten Wärmeleitungseigenschaften von Metall kann somit die Verlustleistung des Leistungshalbleiters über die

Diffusionslotstelle optimal abgeführt werden. Die Betriebstemperaturen für entsprechende Leistungsmodule können auf über 175°C bis zu 230°C gesteigert werden.

5 Ein Verfahren zur Herstellung einer Diffusionslotstelle zwischen zwei über die Diffusionslotstelle verbundenen Teilen ist durch nachfolgende Verfahrensschritte gekennzeichnet. Zunächst wird ein erster der zwei zu verbindenden Teile mit der ersten Lotkomponente beschichtet. Anschließend wird ein zweiter der zwei Teile mit der zweiten Lotkomponente beschichtet, die einen höheren Schmelzpunkt aufweist als die erste Lotkomponente. Als nächstes werden Nanopartikel auf eine der beiden Beschichtungen aufgebracht. Anschließend werden die beiden Teile mit ihren Beschichtungen unter Erwärmung des zweiten Teils mit der Beschichtung der zweiten Lotkomponente auf eine Temperatur oberhalb des Schmelzpunktes der ersten Lotkomponente und unterhalb der Temperatur des Schmelzpunktes der zweiten Lotkomponente unter Bildung von intermetallischen Phasen zusammengefügt.

20 Dieses Verfahren hat den Vorteil, daß das eine Teil die Lotkomponente mit dem niedrigen Schmelzpunkt trägt und das andere Teil die Lotkomponente mit dem hohen Schmelzpunkt aufweist. Jedoch ist es auch möglich, daß beide Teile zunächst Beschichtungen mit der Lotkomponente mit hohem Schmelzpunkt aufweisen und mindestens eines der beiden Teile eine dünne Schicht der Lotkomponente mit dem niedrigen Schmelzpunkt aufweist. Beim Zusammenfügen schmilzt aufgrund der oben erwähnten Temperaturverhältnisse die erste Lotkomponente mit ihrer niedrigen Temperatur auf und es können sich die Nanopartikel in dieser Schmelze verteilen. Gleichzeitig diffundieren Atome der Beschichtung mit der hochschmelzenden Komponente in den Diffusionsbereich und bilden bei geeigneter Zusammensetzung intermetallische Phasen. Somit liegen während dieses Aufschmelzens in dem Diffusionsbereich der Diffusionslotstelle nebeneinander nicht aufgeschmolzene Nanopartikel und sich bildende intermetallische Phasen vor.

Beim Erkalten des Diffusionsbereich der Diffusionslotstelle wird das Fortschreiten oder Wandern von Mikrorissen, die von den intermetallischen Phasen ausgehen können, durch die Nanopartikel behindert. Auch wenn die Diffusionslotstelle aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten der miteinander verbundenen Teile thermischen Spannungen ausgesetzt wird, können sich bildende Mikrorisse in der Umgebung der spröden intermetallischen Phase nicht durch die gesamte Diffusionsschicht ausbreiten und evtl. eine Delamination verursachen, da die Nanopartikel des Zusatzwerkstoffes dieses verhindern.

Das Aufbringen von Nanopartikeln auf eine der beiden Beschichtungen kann durch Zumischen von Nanopartikeln in einem Elektrolythbad zur galvanischen Abscheidung der Beschichtungen erfolgen. Bei einer derartigen Herstellung der Beschichtungen werden die Nanopartikel bereits bei der Entstehung der Beschichtung relativ gleichmäßig in der Beschichtung verteilt.

Bei einem anderen Durchführungsbeispiel des Verfahrens kann das Aufbringen von Nanopartikeln auf eine der beiden Beschichtungen durch Aufstäuben unter anschließendem Aufwalzen erfolgen, um die Nanopartikel mechanisch mit der Oberfläche der Beschichtung zu verankern. Dieses Verfahren ist relativ preiswert durchführbar und führt zu einem kostengünstigen Ergebnis, in dem die Oberfläche der Beschichtung nun von Nanopartikeln belegt ist.

Das Aufbringen von Nanopartikeln kann auch auf eine der beiden Beschichtungen dadurch erfolgen, daß zunächst die Nanopartikel aufgestäubt werden und anschließend bei einem Temperschritt, der eventuell für die Beschichtung erforderlich wird, ein Einschmelzen der Nanopartikel in die Oberfläche der Beschichtung erfolgt. Diese Technik ist dann vorteilhaft anwendbar, wenn beispielsweise ein Halbleiterwafer mit mehreren

Halbleiterchips auf seiner aktiven Oberseite mit Nanopartikeln in den Bereichen einer Diffusionslotstelle zu beschichten ist. Somit kann mit dieser Verfahrensvariante gleich eine hohe Anzahl an Halbleiterchips mit entsprechenden Nanopartikeln für die Diffusionslotstellenverbindungen versehen werden.

Zusammenfassend ist festzustellen, daß Verbindungen mit Diffusionslöten spröde sind und aufgrund ihrer unterschiedlichen Ausdehnungskoeffizienten zu ihren Verbindungspartnern oder Verbindungsteilen nicht zuverlässig gegen thermomechanischen Stress geschützt sind. Dieser thermomechanische Stress führt zu großen Spannungen an den Grenzflächen. Dadurch können Mikrorisse in Verbindungsmaterialien insbesondere in der Umgebung von intermetallischen Phasen nach entsprechenden hohen Stressbelastungen oder bei der Herstellung der Diffusionslotstellenverbindungen auftreten. Derartige Stressbelastungen insbesondere bei hohen Temperaturwechseln können sogar zur Delamination der Diffusionslotstelle führen.

Durch ein entsprechendes Vermischen der Diffusionsmaterialien und Lotkomponenten mit den Nanopartikeln bei dem Lötprozess werden diese Materialien ein Angleichen der Ausdehnungskoeffizienten aufgrund ihrer räumlichen Beschaffenheit bewirken. Dies führt zum Minimieren des thermomechanischen Stresses. Weiterhin wird eine Wanderung und Verbreitung von Mikrorissen durch die Nanopartikel unterdrückt.

Somit wird mit der Benutzung von Nanopartikeln im Diffusionslötprozess ein Ausgleich der Ausdehnungskoeffizienten zwischen dem Diffusionslot aus den zwei Lotkomponenten und den Verbindungspartnern oder Teilen erreicht:

Das Einbringen der Nanopartikel in die Diffusionslötmaterialien und die dort sich bildende Diffusionszone ist mit unterschiedlichen Verfahren wie folgt möglich:

- Wenn sich die Legierungssysteme bereits auf den Verbindungsteilen befinden (z.B. auf einem Wafer oder einem Systemträger) können die Nanopartikel flächig auf die Legierungssysteme aufgebracht werden. Anschließend werden die Verbindungsteile zusammengefügt. Bei diesem Zusammenfügen befinden sich die Nanopartikel direkt an der Grenzfläche zwischen beiden Lotkomponenten.
5
 - Wird als Legierungssystem eine Vorform verwendet, so können die Nanopartikel beim Herstellen der Vorform, z.B. beim Herstellen von Bändern, Drähten, Kugeln usw., mit in die Schmelze eingemischt werden und nach erfolgreichem Erstarren in die Legierung eingewalzt werden.
10
 - Auch können die Nanopartikel während eines galvanischen Abscheidens der Legierungsbeschichtung auf den jeweiligen Verbindungsteilen eingebracht werden, indem diese dem Abscheideelektrolyten zugemischt werden. Während der Abscheidung der Legierungsbeschichtung bauen sich die Nanopartikel homogen in die Legierungsschicht ein.
15
- 20 Somit verteilen sich die Nanopartikel beim Verbinden der Fügepartner in der Schmelze zunächst homogen und können sich dann jedoch an der Grenzfläche zusätzlich anreichern durch entsprechende Konvektionsströmungen in der Schmelze, so daß die Nanopartikel in erhöhter Konzentration im Bereich der intermetallischen Phasen im sogenannten Diffusionsbereich der Diffusionslotstelle angereichert sind.
25

Die Erfindung wird nun anhand von Ausführungsformen mit Bezug auf die beiliegenden Figuren näher erläutert.

- 30 Figur 1 zeigt ein schematisches Schrägschliffbild durch eine Diffusionsstelle einer ersten Ausführungsform der Erfindung,
Figur 2 zeigt einen schematischen Schrägschliff durch Teile, die über eine Diffusionslotstelle zusammengefügt werden,
35

Figur 3 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil, das mehrere Diffusionslotstellen aufweist.

5 Figuren 4 bis 8 zeigen schematische Querschnitte durch einen Halbleiterwafer zur Herstellung von mehreren elektronischen Bauteilen, die Diffusionslotstellen aufweisen,

Figur 4 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer,

10 Figur 5 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer nach Aufbringen einer ersten Lotkomponente auf seiner Rückseite,

Figur 6 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer nach Aufbringen einer ersten Lotkomponente auf seiner aktiven Oberseite,

15 Figur 7 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer nach Strukturieren der ersten Lotkomponente auf seiner aktiven Oberseite,

20 Figur 8 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer nach Aufbringen von Nanopartikeln auf seiner strukturierten ersten Lotkomponente,

Figur 9 zeigt einen schematischen Querschnitt durch einen Halbleiterchip für ein Halbleiterbauteil mit Diffusionslotstellen,

25 Figuren 10 bis 12 zeigen schematische Querschnitte von Teilen, die zu einem Bauteil mit Diffusionslotstellen miteinander verbunden sind,

Figur 10 zeigt einen schematischen Querschnitt durch einen Flachleiterrahmen mit Flachleiterenden, die mit einer zweiten Lotkomponente 6 beschichtet sind,

30 Figur 11 zeigt einen schematischen Querschnitt durch einen Halbleiterchip mit Beschichtungen einer ersten Lotkomponente 5 auf Ober und Rückseite,

Figur 12 zeigt einen schematischen Querschnitt durch eine Chipinsel eines Systemträgers mit einer Beschichtung einer zweiten Lotkomponente,

Figur 13 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil mit Diffusionslotstellen vor einem Abbiegen der Flachleiter zu Außenanschlüssen.

5 Figur 1 zeigt ein schematisches Schrägschliffbild durch eine Diffusionslotstelle 2 einer ersten Ausführungsform der Erfindung.

Das Bezugszeichen 3 kennzeichnet ein erstes Teil, das über
10 die Diffusionslotstelle 2 mit einem zweiten Teil 4 elektrisch und mechanisch verbunden ist. Das Bezugszeichen 5 kennzeichnet eine erste Lotkomponente, deren Schmelztemperatur niedriger ist, als die zweite Lotkomponente 6. Die zweite Lotkomponente 6 weist eine Schmelztemperatur auf, die höher liegt als
15 die Schmelztemperatur der sich aus beiden Lotkomponenten 5 und 6 bildenden intermetallischen Phasen. Die Schmelztemperatur der zweiten Lotkomponente 6 liegt auch über der Löttemperatur, bei der die beiden Teile 3 und 4 mit Hilfe der Diffusionslotstelle 2 zusammengefügt sind.

20 Von dem Material der zweiten Lotkomponente 6 mit hoher Temperatur diffundiert lediglich ein Anteil, der dem Sättigungsgrad für die zweite Lotkomponente 6 in der Schmelze der ersten Lotkomponente 5 entspricht, in den Diffusionsbereich 7
25 der Diffusionslotstelle 2 ein. Somit ist eine erfindungsgemäßige Diffusionslotstelle 2 durch einen nicht angelösten Restbereich der zweiten Lotkomponente 6 im Schrägschliff gekennzeichnet. In dem schmelzflüssigen Bereich der ersten Lotkomponente 5 verteilen sich Nanopartikel 8 zunächst homogen in
30 der Schmelze und können bei der zunehmenden Bildung von intermetallischen Phasen in der Diffusionslotstelle 2, wie in Figur 1 gezeigt, inhomogen verteilt sein; das heißt, daß eine höhere Konzentration an Nanopartikeln 8 im Bereich der intermetallischen Phasen auftreten kann. Diese Inhomogenität kann
35 teilweise durch Konvektionsvorgänge in der aufgeschmolzenen ersten Lotkomponente 5 verursacht sein.

Eine Anreicherung der Nanopartikel 8 in der Nähe des Phasenübergangs von der ersten Lotkomponente 5 zur nicht gelösten Anteil der zweiten Lotkomponente 6 ist ebenfalls ein charakteristisches Merkmal für diese besondere Art der Diffusionslotstelle 2.

In dieser ersten Ausführungsform der Erfindung ist das erste Teil 3 ein Halbleiterchip 9 mit einem geringeren thermischen Ausdehnungskoeffizienten als das zweite Teil 4, das in dieser Ausführungsform der Erfindung einen Teil eines metallischen Systemträgers 10 darstellt. Dieser Systemträger 10 ist großflächig über die Diffusionslotstelle 2 mit der Rückseite 22 des Halbleiterchips verbunden, wobei die beim Diffusionslöten entstehenden spröden intermetallischen Phasen an der Bildung und Ausbreitung von Mikrorissen innerhalb der Diffusionslotstelle 2 durch die Nanopartikel 8 behindert werden. Da das zweite Teil 4 in dieser Ausführungsform aus einem Systemträger 10 besteht, der seinerseits eine Kupferlegierung aufweist und somit einen wesentlich höheren thermischen Ausdehnungskoeffizienten aufweist als das erste Teil 3 aus einem Halbleiterchip, wird der Ausdehnungskoeffizient der Nanopartikel in einem Bereich angesiedelt, der zwischen den Werten der Ausdehnungskoeffizienten des ersten Teils 3 und des zweiten Teils 4 liegt. Der thermische Ausdehnungskoeffizient der Nanopartikel ist durch Einsatz geeigneter amorpher Silikate an die thermischen Ausdehnungskoeffizienten des ersten Teils 3 und des zweiten Teils 4 anpaßbar. Derartige amorphe Silikate können Borsilikate oder Phosphorsilikate sein. Bemerkenswert ist, daß ein Teil der hochschmelzenden zweiten Lotkomponente 6 außerhalb des Diffusionsbereichs 7 frei von Nanopartikeln bleibt, da die zweite Lotkomponente 6 beim Schmelzen und Diffundieren in die Schmelze der ersten Lotkomponente 5 nicht vollständig verbraucht wird.

Mit einer derartigen Diffusionslotstelle 2 wird ein thermischer Spannungsausgleich zwischen den ersten der zwei Teile und dem zweiten der zwei Teile 3 und 4 bereitgestellt. In

dieser ersten Ausführungsform der Erfindung kann wie oben erwähnt die Diffusionslotstelle 2 als ersten Teil 3 einen Halbleiterchip aufweisen und als zweiten Teil 4 einen metallischen Systemträger mit einer Halbleiterchipinsel 11, die als 5 Sourcekontakt 12 für ein Leistungsbauteil dient, aufweisen. Somit kann der gesamte Sourcestrom eines derartigen Leistungsbauteils über die Chipinsel 11 dem Halbleitermaterial 9 zugeführt werden.

10 Figur 2 zeigt einen schematischen Schrägschliff durch Teile 3 und 4, die über eine Diffusionslotstelle 2 miteinander verbunden werden sollen. Komponenten mit gleichen Funktionen wie in der Figur 1 werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

15 Dazu ist das erste Teil 3, nämlich ein Halbleiterchip 9, auf seiner Rückseite 22 mit einer niedrigschmelzenden ersten Lotkomponente 5 beschichtet, auf die Nanopartikel 8 aufgebracht wurden. Ein derartiges Aufbringen kann durch Einwalzen oder 20 Einprägen der Nanopartikel 8 auf die Oberseite der bei niedriger Temperatur schmelzenden ersten Lotkomponente 5 erfolgen. Eine andere Möglichkeit besteht darin, die erste Lotkomponente 5 galvanisch auf der Rückseite des Halbleiterchips in einem Elektrolytbad abzuscheiden, das gleichzeitig Nanopartikel 8 enthält. In diesem Fall werden die Nanopartikel 8 gleichmäßig und homogen in der Lotkomponente 5 verteilt eingebaut.

30 In dem unteren Bereich der Figur 2 ist der Schrägschliff eines zweiten Teils 4 im Prinzip gezeigt, das auf seiner Oberseite eine zweite Lotkomponente 6 trägt. Diese Lotkomponente 6 ist eine hochschmelzende Lotkomponente 6 und weist somit eine höhere Schmelztemperatur auf als die niedrigschmelzende Lotkomponente 5 auf dem ersten Teil 3. Diese hochschmelzende 35 Lotkomponente kann auch eine mehrlagige Schicht aus Gold, Silber, Nickel und/oder Legierungen derselben aufweisen, wobei die oberste Schicht an der Diffusionslösung beteiligt ist

und mit der niedrigschmelzenden Lotkomponente 5 intermetallische Phasen bildet.

Beim Zusammenfahren der beiden Teile 3 und 4 in Pfeilrichtung 5 A bei einer Temperatur, bei der mindestens die niedrigschmelzende Lotkomponente 5 aufgeschmolzen ist und die Nanopartikel 8 gleichmäßig in der Schmelze verteilt sind, wird die hochschmelzende Komponente 6 teilweise in die niedrigschmelzende Komponente 5 eindiffundieren und in dem Diffusionsbereich intermetallische Phasen bilden. Beim Abkühlen der Diffusionslotstelle 2 kann sich eine inhomogene Verteilung der Nanopartikel 8 im Diffusionsbereich einstellen. Diese Nanopartikel 8 verhindern im Diffusionsbereich einer Diffusionslotstelle eine Ausbreitung von durch intermetallische Phasen verursachten 10 Mikrorissen. Dazu kann die niedrigschmelzende Lotkomponente 5 Zinn oder eine Zinnlegierung aufweisen, während die zweite 15 hochschmelzende Lotkomponente 6 Silber, Gold, Kupfer oder Legierungen derselben aufweist.

Figur 3 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil 30 für ein Leistungsmodul, das mehrere Diffusionslotstellen 2 aufweist. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

Das Bezugszeichen 10 kennzeichnet einen Systemträger, das Bezugszeichen 11 kennzeichnet eine Halbleiterchipinsel des Systemträgers und das Bezugszeichen 12 kennzeichnet einen Sourzekontakt des elektronischen Leistungsbauteils 30. Das Bezugszeichen 13 kennzeichnet einen großflächigen Flachleiter, der die parallelgeschalteten Drainkontakte auf der Oberseite des Leistungsbauteils 30 kontaktiert. Das Bezugszeichen 14 kennzeichnet einen Flachleiter, der einen Gatekontakt 16 zur Oberseite des Halbleiterchips herstellt.

Das elektronische Leistungsbauteil 30 besteht aus mehreren 35 100.000 parallel geschalteten MOS-Transistoren 21, die im Be-

reich der aktiven Oberseite 20 des Halbleiterchips angeordnet sind. Der aktive Bereich der Oberseite 20 ist durch eine gestrichelte Linie 23 markiert. Während der gemeinsame Sourcebereich durch die Rückseite 22 des Halbleiterchips 9 großflächig kontaktiert werden kann, indem mit Hilfe einer Diffusionslotstelle 2 die Chipinsel 11 elektrisch und mechanisch mit der Rückseite 22 des Halbleiterchips 9 verbunden wird, werden die mehreren 100.000 Gateelektroden zu einem Gatekontakt 16 zusammengeführt, der über den Flachleiter 14 mit einer übergeordneten Schaltung verbindbar ist.

Der Flachleiter 14 für den Gatekontakt 16 ist ebenfalls über eine Diffusionslotstelle 2 mit den parallel geschalteten Gateelektroden des elektronischen Leistungsbauteils 30 verbunden. Eine dritte Diffusionslotstelle 2 weist die elektrische und mechanische Verbindung des Flachleiters 13 mit dem parallel geschalteten mehreren 100.000 Elektroden umfassenden Drainanschluß auf. Um die aus einem Metall bestehenden Flachleiter 13 und 14 sowie die aus einer Metallplatte bestehende Chipinsel 11 des Systemträgers 10 mit Hilfe von Diffusionslotstellen 2 mit den einzelnen Komponenten des Halbleiterchips 9 zu verbinden, ist die erste niedrigschmelzende Lotkomponente 5 auf den Elektroden des Halbleitersteg 9 aufgebracht, so daß der Halbleiter 9 das erste Teil 3 der Diffusionslotstelle darstellt, während die mit dem Halbleiter zu verbindenden metallischen Teile aus Flachleitern 13 und 15 und Chipinsel 11 auf ihren Oberflächen zunächst veredelt werden, um eine Diffusion des Flachleitermetalls bzw. des Metalls der Halbleiterchipinsel 11 nicht zur Diffusionslotstelle vordringen zu lassen.

Während das Metall der Flachleiter 13 und 14 und der Chipinsel 11 im wesentlichen eine Kupferlegierung ist, kann die Diffusionsstellen-Beschichtung eine Nickellegierung sein und die zweite hochschmelzende Lotkomponente 6 eine Gold- oder Silberlegierung darstellen. Der Gesamtaufbau kann für einen Diffusionsofen bereitgestellt werden und die Diffusionslötung

kann in dem Diffusionsofen stattfinden. Dazu wird in dieser Ausführungsform der Erfindung die niedrigschmelzende Lotkomponente 5, die auf den Flächen des Halbleiterchips aufgetragen ist, mit Nanopartikeln aus Silikaten versetzt. Wird bei 5 dem Diffusionslöten die zweite Lotkomponente 6 vollkommen im Diffusionsbereich verbraucht, so verbleibt zumindest eine diffusionshemmende Schicht 24 zwischen dem Diffusionsbereich 7 und den metallischen Komponenten wie Flachleitern 13 und 14 und Chipinsel 11 erhalten.

10 Die Figuren 4 bis 8 zeigen schematische Querschnitte durch einen Halbleiterwafer 19 zur Herstellung von mehreren elektronischen Leistungsbauteilen 30, die Diffusionslotstellen aufweisen. Komponenten mit gleichen Funktionen in den nachfolgenden Figuren 4 bis 8 wie in den vorhergehenden Figuren 15 werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

Figur 4 zeigt einen schematischen Querschnitt durch einen 20 Halbleiterwafer 19. Dieser Halbleiterwafer weist an seiner aktiven Oberseite 18 in einem Bereich, der durch eine gestrichelte Linie 23 begrenzt wird, MOS-Transistoren auf, die mit ihren mehreren 100.000 Gateanschlüssen parallelgeschaltet sind und ebenso mit ihren mehreren 100.000 Drainelektroden 25 auf der Oberseite 18 des Halbleiterwafers 19 parallel geschaltet sind. Die Rückseite 22 dient für mehrere elektronische Leistungsbauteile als Sourcegebiet.

Figur 5 zeigt einen schematischen Querschnitt durch einen 30 Halbleiterwafer 19 nach Aufbringen einer ersten Lotkomponente 5 auf seiner Rückseite 22. Diese Lotkomponente 5 auf der Rückseite 22 ist eine metallische Verspiegelung der Rückseite mit einer ersten Lotkomponente 5, die einen niedrigeren Schmelzpunkt aufweist als eine zweite Lotkomponente 6, die 35 mit der ersten Lotkomponente 5 bei einem Diffusionslöten intermetallische Phasen bilden kann. Diese erste Lotkomponente 5 kann Zinn oder eine Zinnlegierung sein. Sie kann durch Tau-

chen des Halbleiterwafers 19 in ein entsprechendes Zinnbad sowohl auf der Rückseite 22 des Halbleiterwafers 19 als auch auf der aktiven Oberseite 18 des Halbleiterwafers 19 aufgebracht werden oder in zwei getrennten Schritten erst auf der 5 Rückseite 22, wie es in Figur 5 gezeigt wird, aufgebracht werden und anschließend, wie es Figur 6 zeigt, auf der aktiven Oberseite 18 aufgebracht sein.

Figur 6 zeigt einen schematischen Querschnitt durch einen 10 Halbleiterwafer 19 nach Aufbringen einer ersten Lotkomponente 5 auf seiner aktiven Oberseite 18. Auch diese Oberseite 18 wird mit einem Metallspiegel aus der niedrigschmelzenden Lotkomponente 5 bedeckt und erst in einem nächsten Schritt strukturiert.

15 Figur 7 zeigt einen schematische Querschnitt durch einen Halbleiterwafer 19 nach Strukturieren der ersten Lotkomponente 5 auf der aktiven Oberseite 18 des Halbleiterwafers 19. Das Strukturieren der Lotkomponente 5 auf der aktiven Ober- 20 seite 18 des Halbleiterwafers 19 ist erforderlich, um einen gemeinsamen parallel schaltenden Gateanschluß 16 für jeden Halbleiterchip des Halbleiterwafers 19 vorzubereiten und um einen großflächigen Kontakt für sämtliche parallel geschalte- ten Drainelektronen mit einem Drainkontakt 15 zu schaffen. 25 Nach diesem Schritt kann der gesamte Halbleiterwafer 19 mit Nanopartikeln 8 aus einem Silikat bestäubt werden, die anschließend unter Druck in die Beschichtung durch die erste Lotkomponente 5 eingeprägt werden.

30 Alternativ kann die Lotkomponente 5 auf der aktiven Oberseite des Halbleiterwafers 19 durch eine Lotpaste, die die Nanopar- tikel 8 enthält, strukturiert aufgedruckt werden. Ein Metall- spiegel aus der ersten Lotkomponente 5 kann auch auf der ak- tiven Oberseite des Halbleiterchips 19 galvanisch abgeschie- 35 den, wobei in dem Elektrolytbad Nanopartikel 8 verteilt sind, so daß diese homogen verteilt in die Lotkomponente 5 auf der aktiven Oberseite des Halbleiterwafers eingebaut werden. Da

die Nanopartikel 8 nicht-leitende Silikate sind, beispielsweise Borsilikat oder Phosphorsilikat, kann die gesamte aktive Oberfläche 18 mit einer Schicht aus Nanopartikeln versehen werden, ohne Kurzschlüsse der elektronischen Strukturen auf 5 der aktiven Oberseite 18 des Halbleiterwafers 19 zu verursachen.

Figur 9 zeigt einen schematischen Querschnitt durch einen Halbleiterchip 9 für ein Halbleiterbauteil mit Diffusionslotstellen 2. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert. 10

Entlang der in den Figuren 4 bis 8 angedeuteten Trennlinien 15 wurde der Halbleiterwafer 19 auseinandergesägt und ergibt somit den in Figur 9 abgebildeten Halbleiterchip im Querschnitt. Diese Querschnitte sind nur schematisch und nicht maßstabsgetreu. In Wirklichkeit ist die Dicke d eines derartigen Halbleiterchips 9 zwischen 50 µm und 750 µm, während 20 die Breite b eines derartigen Halbleiterchips 9 mehrere Zentimeter betragen kann.

Um aus diesem Halbleiterchip 9 ein elektronisches Leistungsbauteil herzustellen, werden in den Figuren 10 bis 12 schematische Querschnitte von Teilen 3 und 4 gezeigt, die zu einem Bauteil mit Diffusionslotstellen 2 miteinander verbunden werden. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und für die Figuren 10 bis 12 nicht extra erläutert. 25

Figur 10 zeigt einen schematischen Querschnitt durch einen Flachleiterrahmen 26, der Flachleiter 13 für einen gemeinsamen Drainkontakt 15 und Flachleiter 14 für einen gemeinsamen Gatekontakt 16 trägt. Die jeweiligen Endbereiche 27 und 28 30 der Flachleiter 13 bzw. 14, die mit den Drainelektroden bzw. mit den parallel geführten Gateelektroden zu verbinden sind, werden mit einer zweiten Lötkomponente 6 beschichtet. Dabei

kann diese Lötkomponente 6 aus mehreren Metallschichten bestehen, die einerseits eine Diffusion des Flachleitermaterials in die Diffusionslotstelle 2 verhindern und andererseits ein Diffusionslotmaterial bereitstellen, das in das schmelzflüssige Lot der ersten Lotkomponente 5 eindiffundieren kann.

5 Da diese Flachleiter 13 und 14 auf die aktive Oberseite des Halbleiterchips 9 aufgesetzt werden sollen, werden keine Nanopartikel 8 in die zweite Lotkomponente 6 eingebaut, zumal die erste Lotkomponente auf dem Halbleiterchip 9, wie er in

10 Figur 11 gezeigt wird, bereits Nanopartikel aufweist.

Figur 11 zeigt einen schematischen Querschnitt durch einen Halbleiterchip 9 mit Beschichtungen einer ersten Lotkomponente 5 auf der Oberseite 18 und auf der Rückseite 22, wobei der

15 Querschnitt der Figur 11 dem Querschnitt der Figur 9 entspricht. Deshalb erübrigt sich eine Interpretation oder Erläuterung der Figur 11.

Figur 12 zeigt einen weiteren Teil des Flachleiterrahmens 26,

20 der eine Chipinsel 11 trägt, die ihrerseits mit einer zweiten Lotkomponente 6 beschichtet ist, und auf der eine Schicht aus Nanopartikeln 8 aufgebracht ist. Diese Schicht aus Nanopartikeln kann beim galvanischen Abscheiden der Lotkomponente 6 bereits in die Lotkomponente 6 eingebaut werden.

25 Figur 13 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil mit Diffusionslotstellen 2 vor einem Abbiegen der Flachleiter 13 und 14 zu Außenanschlüssen. So- wohl die Chipinsel 11 als auch die Flachleiter 13 und 14 sind

30 auf einem gemeinsamen Flachleiterrahmen miteinander verbunden, wobei der Flachleiterrahmen zwei Niveaus aufweist, nämlich eines für die Rückseite 22 des Halbleiterchips 9 mit einer Halbleiterchipinsel 11 und ein weiteres Niveau für die aktive Oberseite 18 des Halbleiterchips 9 mit den entspre-

35 chenden Flachleitern 13 und 14.

Nach Zusammenbringen dieser Komponenten, die in Figur 13 gezeigt werden, und einem Diffusionslöten ergibt sich der in Figur 13 gezeigte prinzipielle Querschnitt, das heißt, die Nanopartikel 8 sind im wesentlichen in der Lotkomponente 5 verteilt angeordnet, während ein Rest der Lotkomponente 6 unversehrt erhalten geblieben ist, mindestens jedoch eine Schicht aus einer diffusionshemmenden Metalllegierung, die verhindern soll, daß das Material des Systemträgerrahmens in die Diffusionslotstelle 2 während des Diffusionslötens ein-diffundieren kann.

Nach der Fertigstellung des in Figur 13 gezeigten Rohbauteils mit diffusionsgelötetem gemeinsamen Gatekontakt 16 und gemeinsamen Drainkontakt 15 sowie gemeinsamen Sourcekontakt 12 können zur Vervollständigung des elektronischen Leistungsbau-teils die Flachleiter 13 und 14 auf das Niveau der Chipinsel abgebogen werden und das ganze in einem nicht gezeigten Kunststoffgehäuse verpackt werden. Das Endergebnis ist in diesem Fall ein elektronisches Leistungsbauteil 30, wie es in Figur 3 gezeigt wird.

Patentansprüche

1. Diffusionslotstelle zwischen zwei über die Diffusionslotstelle (2) verbundenen Teilen (3, 4), wobei die Diffusionslotstelle (2) intermetallische Phasen von mindestens zwei Lotkomponenten (5, 6) aufweist und wobei die erste der Lotkomponenten (5) einen Schmelzpunkt unterhalb des Schmelzpunktes der intermetallischen Phasen und die zweite der Lotkomponenten (6) einen Schmelzpunkt oberhalb der intermetallischen Phasen aufweist und die Diffusionslotstelle (2) in ihrem Diffusionsbereich (7) zusätzlich zu den intermetallischen Phasen Nanopartikel (8) eines Zusatzwerkstoffes räumlich verteilt angeordnet aufweist.
10
15. 2. Diffusionslotstelle nach Anspruch 1, dadurch gekennzeichnet, dass die Nanopartikel (8) räumlich inhomogen in dem Diffusionsbereich (7) der Diffusionslotstelle (2) angeordnet sind.
20. 3. Diffusionslotstelle nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, dass ein Bereich der Diffusionslotstelle (2) außerhalb des Diffusionsbereichs (7) mit Material der zweiten Lotkomponente (6) frei von Nanopartikeln (8) ist.
25. 4. Diffusionslotstelle nach einem der vorhergehenden Ansprüche,
30. dadurch gekennzeichnet, dass die Diffusionslotstelle (2) einen thermischen Spannungsausgleich zwischen dem ersten der zwei Teile (3, 4) und dem zweiten der zwei Teile (3, 4) bereitstellt, wobei der erste der zwei Teile (3) einen geringeren thermischen Ausdehnungskoeffizienten als der zweite der zwei Teile (4) aufweist.

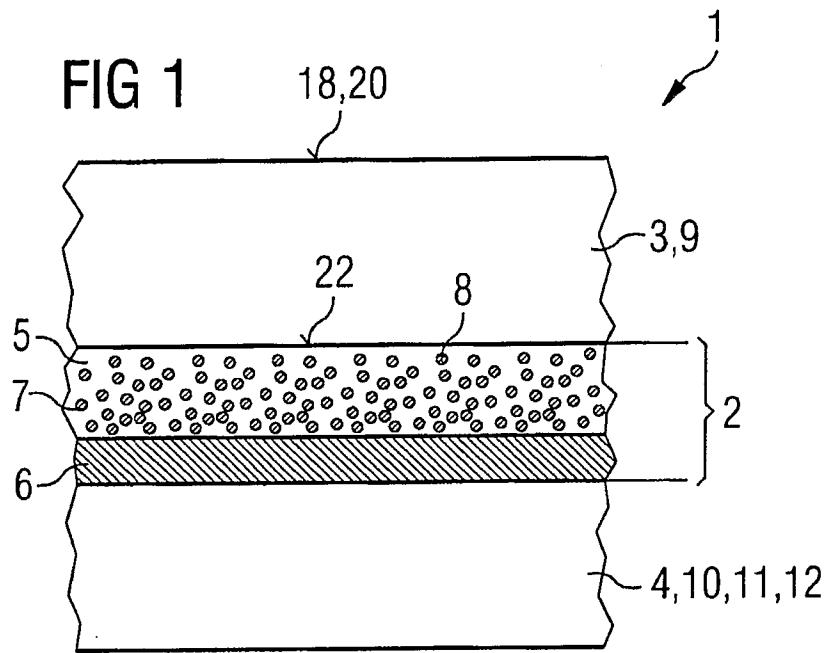
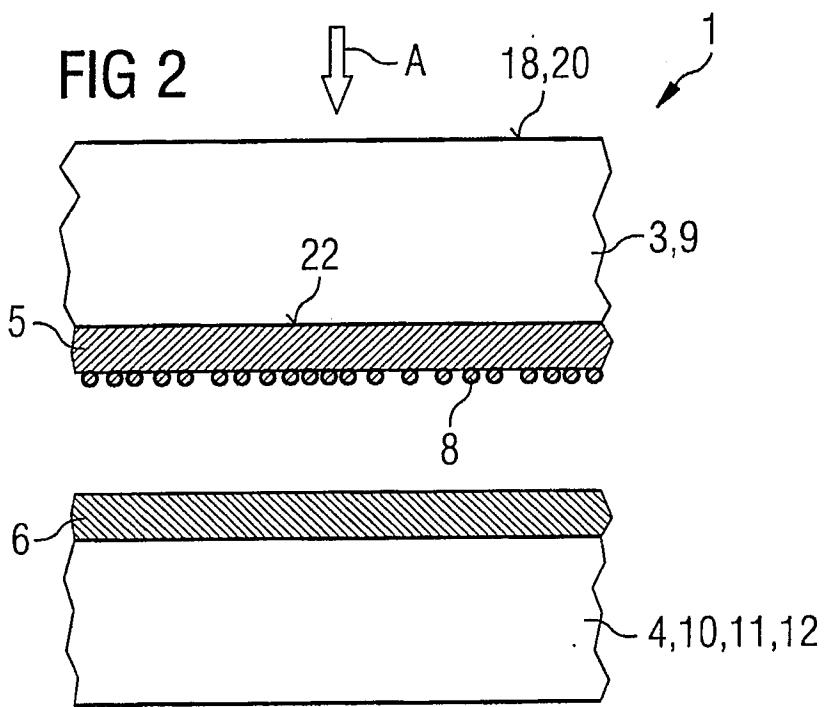
5. Diffusionslotstelle nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Nanopartikel (8) des Zusatzwerkstoffes einen thermischen Ausdehnungskoeffizienten aufweisen, der größer als der thermische Ausdehnungskoeffizient des ersten Teils (3) und kleiner als der thermische Ausdehnungskoeffizient des zweiten Teils (4) ist.
- 10 6. Diffusionslotstelle nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Diffusionslotstelle (2) als ersten Teil (3) einen Halbleiterchip (9) aufweist und als zweiten Teil (4) einen metallischen Systemträger (10) mit Halbleiterchipinsel (11) als Sourcekontakt (12) für den Halbleiterchip (9) und mit Flachleitern (13, 14) als Drain- und Gatekontakt (16) für den Halbleiterchip (9).
- 15 7. Diffusionslotstelle nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die erste Lotkomponente (5) Zinn oder eine Zinnlegierung aufweist.
- 20 8. Diffusionslotstelle nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die zweite Lotkomponente (6) Silber, Gold, Kupfer oder Legierungen derselben aufweist.
- 25 9. Diffusionslotstelle nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Lotkomponenten (5, 6) eine Beschichtung mit Nanopartikeln (8) der Diffusionslotstelle (2) aufweisen.
- 30
- 35

10. Diffusionslotstelle nach einem der vorhergehenden An-sprüche,
dadurch gekennzeichnet, dass die Nanopartikel (8) des Zusatzwerkstoffes auf Beschich-tungen (17) einer aktiven Oberseite (18) eines Halblei-terwafers (19) angeordnet sind.
11. Diffusionslotstelle nach einem der vorhergehenden An-sprüche,
dadurch gekennzeichnet, dass eine Chipinsel (11) eines Systemträgers (10) eine Be-schichtung (17) mit Nanopartikeln (8) der Diffusionslot-stelle (2) aufweist.
- 15 12. Diffusionslotstelle nach einem der vorhergehenden An-sprüche,
dadurch gekennzeichnet, dass ein auf der aktiven Oberseite (20) eines Halbleiterchips (9) angeordneter großflächiger gemeinsamer Drainkontakt (15) für mehrere hunderttausend parallelgeschalteter MOS-Transistoren (21) eine Beschichtung (17) mit Nano-partikeln (8) der Diffusionslotstelle (2) aufweist.
- 25 13. Diffusionslotstelle nach einem der vorhergehenden An-sprüche,
dadurch gekennzeichnet, dass die Nanopartikel (8) des Zusatzwerkstoffes amorphe Sub-stanzen aufweisen.
- 30 14. Diffusionslotstelle nach einem der vorhergehenden An-sprüche,
dadurch gekennzeichnet, dass die Nanopartikel (8) des Zusatzwerkstoffes Silikate auf-weisen.
- 35 15. Diffusionslotstelle nach einem der vorhergehenden An-sprüche,

dadurch gekennzeichnet, dass die Nanopartikel (8) des Zusatzwerkstoffes Borsilikat oder Phosphorsilikat aufweisen.

- 5 16. Verwendung der Diffusionslotstelle nach einem der vor-
hergehenden Ansprüche für das elektrische Verbinden von
Komponenten eines Leistungsmoduls.
- 10 17. Verfahren zur Herstellung einer Diffusionslotstelle (2)
zwischen zwei über die Diffusionslotstelle (2) verbunde-
nen Teilen (3, 4), wobei eine erste Lotkomponente (5)
einen Schmelzpunkt unterhalb eines Schmelzpunktes von
intermetallischen Phasen der zu bildenden Diffusionslot-
stelle (2) aufweist und eine zweite Lotkomponente (6)
15 einen Schmelzpunkt oberhalb der intermetallischen Phasen
aufweist und das Verfahren durch folgende Verfahrens-
schritte gekennzeichnet ist:
- Beschichten eines ersten der zwei Teile (3) mit der
ersten Lotkomponente (5),
- Beschichten eines zweiten der zwei Teile (4) mit
der zweiten Lotkomponente (6),
- Aufbringen von Nanopartikeln (8) auf eine der bei-
den Beschichtungen (17),
- Zusammenfügen der beiden Teile (3, 4) mit ihren Be-
20 schichtungen (17) unter Erwärmung des zweiten Teils
(4) mit Beschichtung (17) der zweiten Lotkomponente
(6) auf eine Temperatur oberhalb des Schmelzpunktes
der ersten Lotkomponente (5) und unterhalb der Tem-
peratur des Schmelzpunktes der zweiten Lotkomponen-
te (6) unter Bildung von intermetallischen Phasen.
25
30
18. Verfahren nach Anspruch 17,
dadurch gekennzeichnet, dass
sich während des Schmelzens der ersten Lotkomponente (5)
35 die auf einem der Teile (3, 4) angeordneten Nanopartikel
(8) räumlich gleichmäßig und homogen in der Schmelze
verteilen.

19. Verfahren nach Anspruch 17 oder Anspruch 18,
dadurch gekennzeichnet, dass
die bei dem Erstarren der Diffusionslotstelle (2) von
den intermetallischen Phasen ausgehenden Mikrorisse
durch die Nanopartikel (8) an einer weiteren Ausbreitung
gehindert werden.
20. Verfahren nach einem der Ansprüche 17 bis 19,
dadurch gekennzeichnet, dass
das Aufbringen von Nanopartikeln (8) auf eine der beiden
Beschichtungen (17) durch Zumischen der Nanopartikel (8)
(8) in einem Elektrolytbad zur galvanischen Abscheidung
der Beschichtung (17) erfolgt.
21. Verfahren nach einem der Ansprüche 17 bis 20,
dadurch gekennzeichnet, dass
das Aufbringen von Nanopartikeln (8) auf eine der beiden
Beschichtungen (17) durch Aufstäuben unter anschließen-
dem Aufwalzen erfolgt.
22. Verfahren nach einem der Ansprüche 17 bis 21,
dadurch gekennzeichnet, dass
das Aufbringen von Nanopartikeln (8) auf eine der beiden
Beschichtungen (17) durch Aufstäuben und Einschmelzen
während eines Temperschrittes der Beschichtung (17) er-
folgt.

FIG 1**FIG 2**

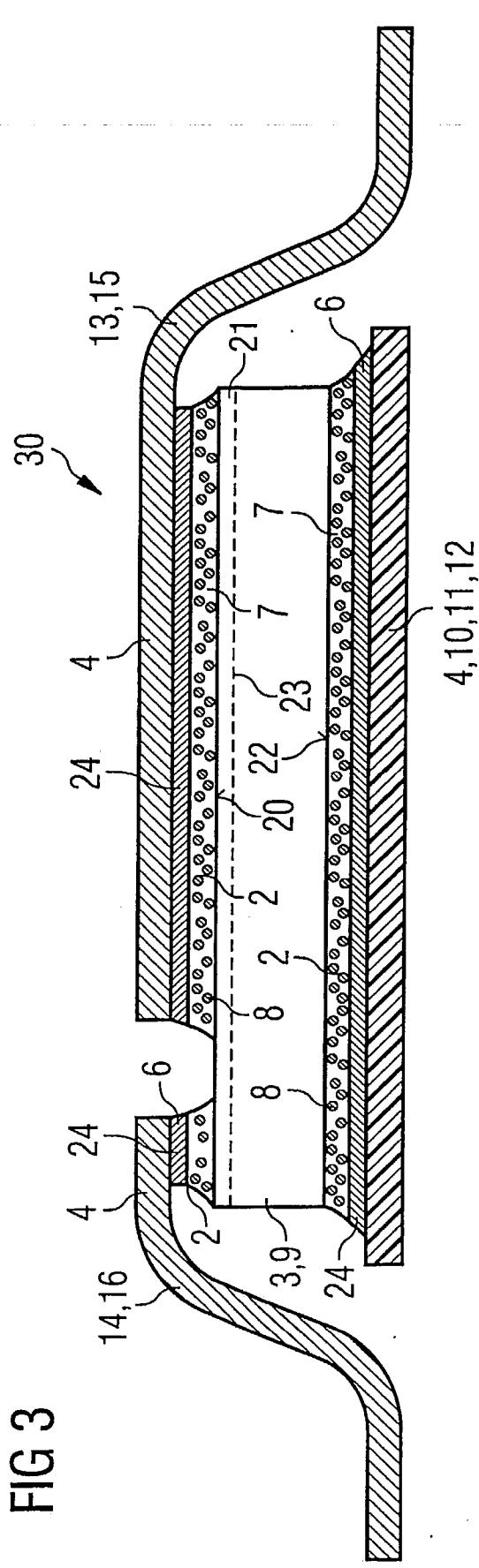


FIG 3

3/5

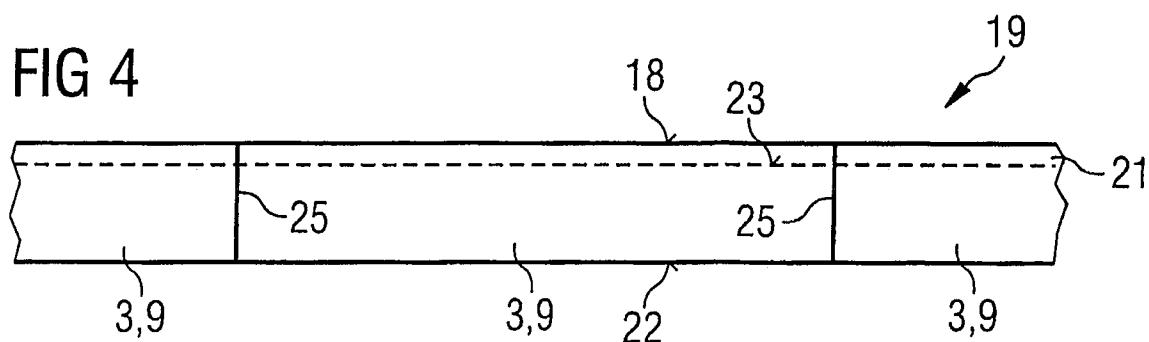
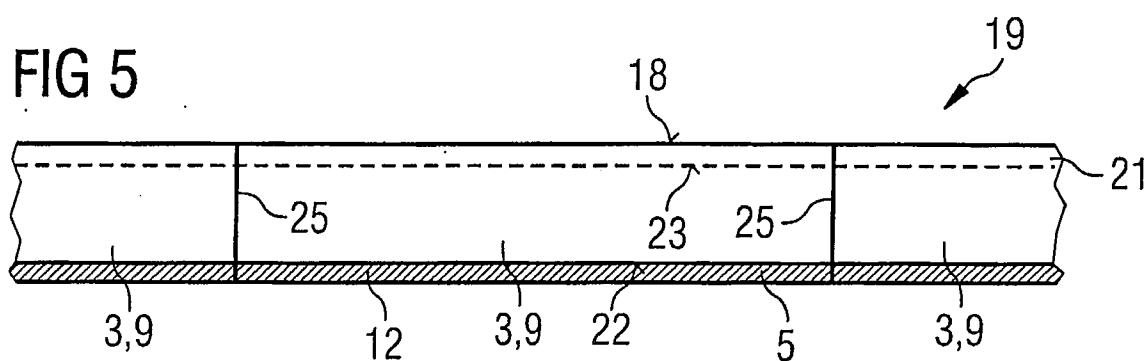
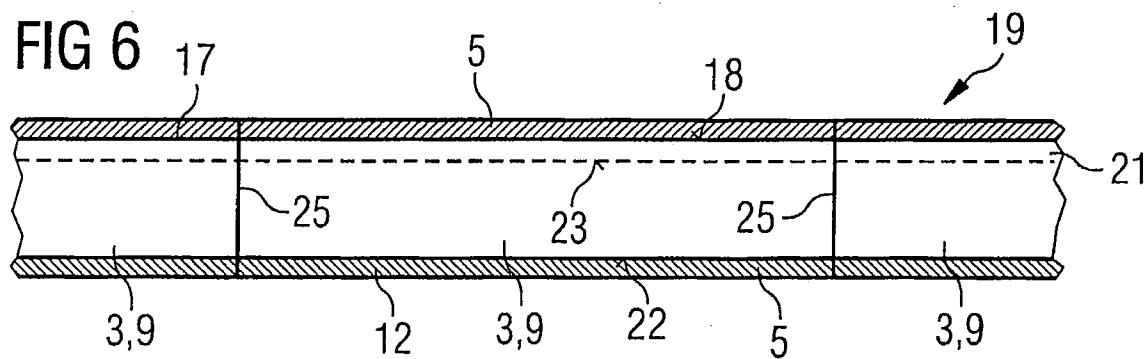
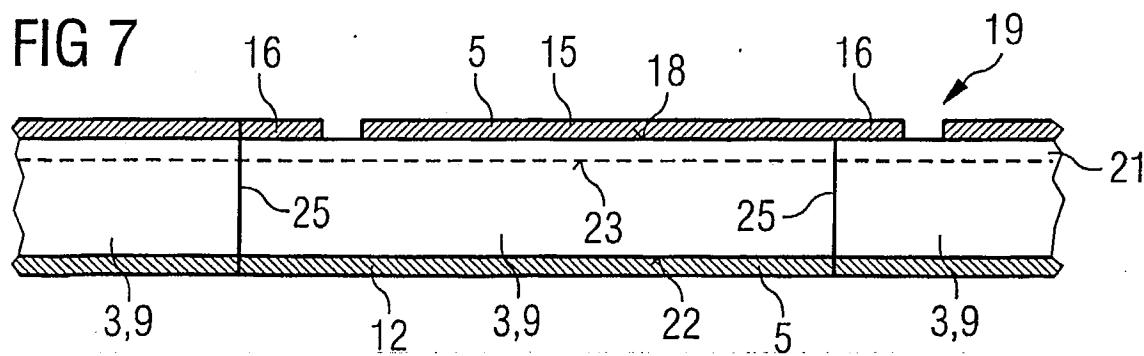
FIG 4**FIG 5****FIG 6****FIG 7**

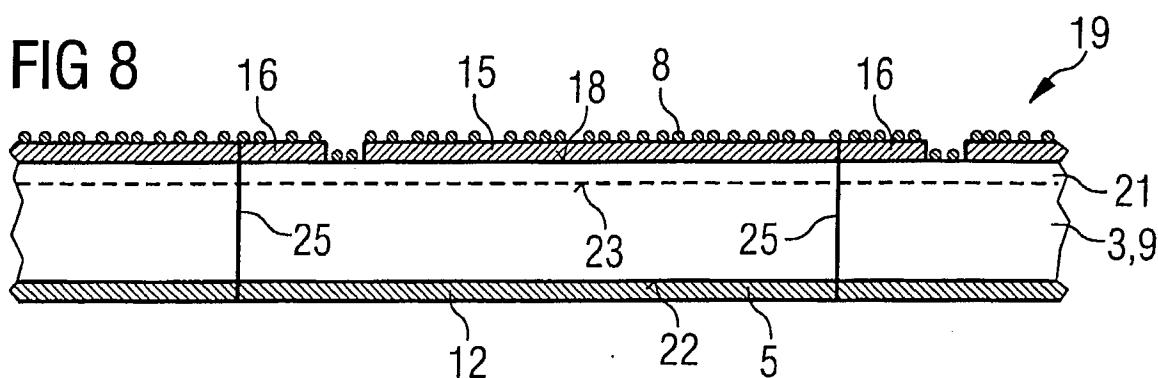
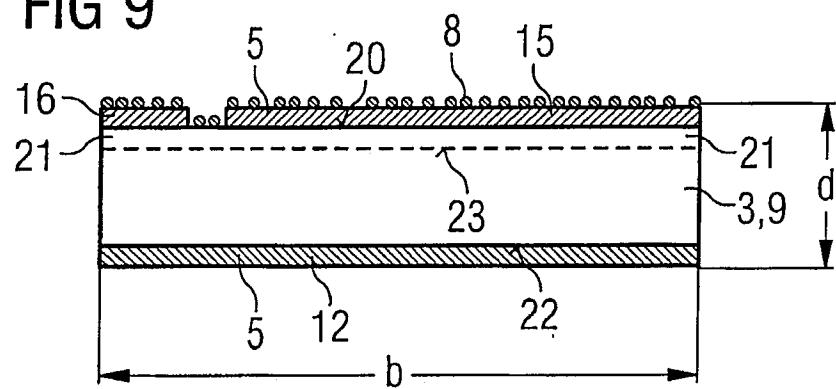
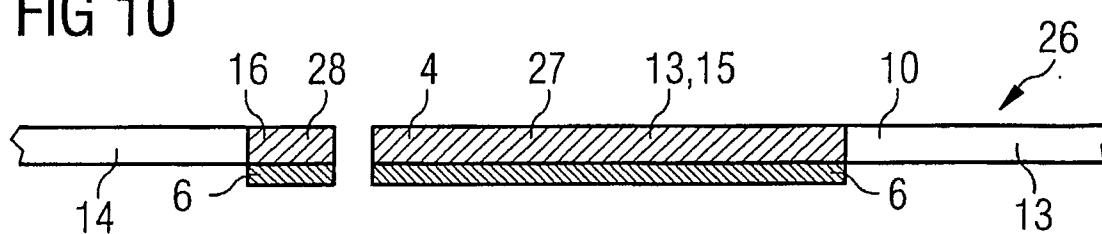
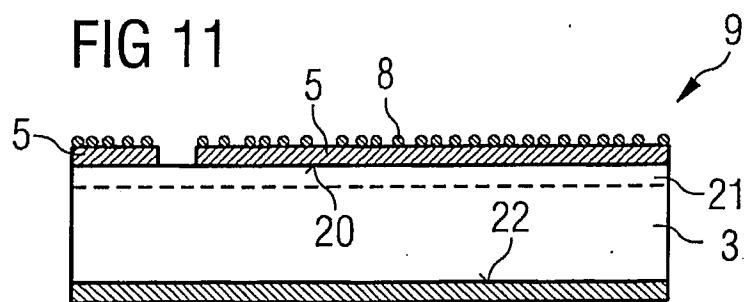
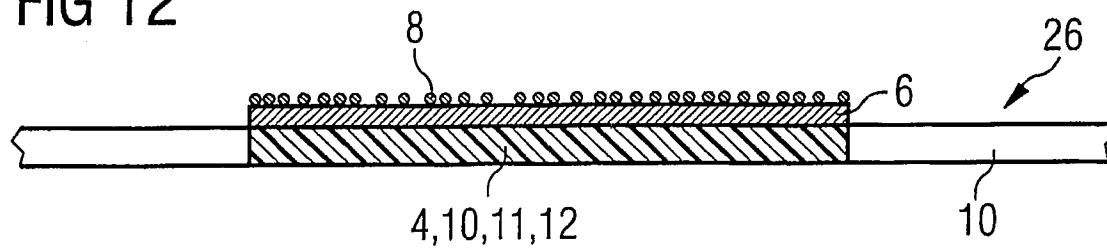
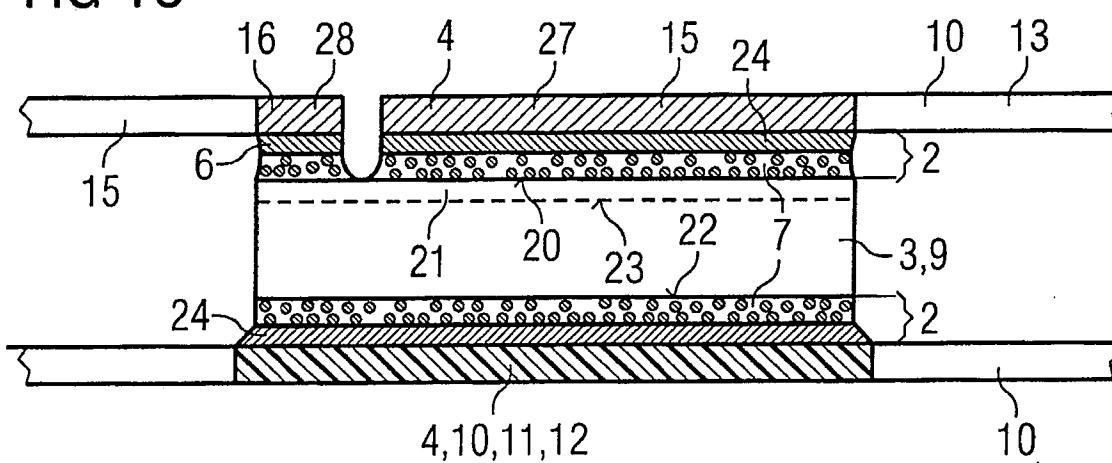
FIG 8**FIG 9****FIG 10****FIG 11**

FIG 12**FIG 13**

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7	B23K1/00	B23K1/20	B23K35/02	B23K35/26	B23K35/30
	H01L21/603				

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 B23K H01L H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 96 19314 A (SIEMENS AG ; H. HUEBNER) 27 June 1996 (1996-06-27) the whole document ---	1,2,4-9
Y	DE 195 32 251 A (DAIMLER BENZ AG) 6 March 1997 (1997-03-06) abstract; figure 5 ---	10-19,21
Y	EP 0 612 577 A (AT & T CORP) 31 August 1994 (1994-08-31) column 4, line 20-42 ---	10-12, 16-19,21
Y	GB 2 299 287 A (T & N TECHNOLOGY LTD) 2 October 1996 (1996-10-02) page 4, paragraph 4 -page 5, paragraph 3; claim 1; figures 1-3 ---	13-15
		17-19,21
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

8 July 2003

Date of mailing of the international search report

17/07/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Jeggy, T